

**ENHANCED INPUT/OUTPUT ARCHITECTURE FOR TOROIDALLY-
CONNECTED DISTRIBUTED-MEMORY PARALLEL COMPUTERS**

Publication number: JP3500585 (T)

Publication date: 1991-02-07

Inventor(s):

Applicant(s):

Classification:

- International: G06F15/16; G06F15/167; G06F15/173; G06F15/80;
G06F15/16; G06F15/76; (IPC1-7): G06F15/16; G06F15/80

- European: G06F15/173D2; G06F15/80; G06F15/80A2

Application number: JP19880508682 19880929

Priority number(s): US19870105836 19871008

Also published as:

WO8903564 (A1)

US4942517 (A)

EP0334943 (A1)

EP0334943 (B1)

Abstract not available for JP 3500585 (T)

.....
Data supplied from the *espacenet* database — Worldwide

Enhanced input/output architecture for toroidally-connected distributed-memory parallel computers

Publication number: US4942517 (A)
 Publication date: 1990-07-17
 Inventor(s): COK RONALD S [US] +
 Applicant(s): EASTMAN KODAK CO [US] +
 Classification:
 - International: G06F15/16; G06F15/167; G06F15/173; G06F15/80; G06F15/16; G06F15/76; (IPC1-7): G06F15/16
 - European: G06F15/173D2; G06F15/80; G06F15/80A2
 Application number: US19870105836 19871008
 Priority number(s): US19870105836 19871008

Also published as:

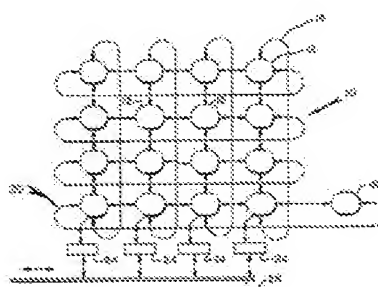
WO8903564 (A1)
 JP3500585 (T)
 EP0334943 (A1)
 EP0334943 (B1)

Cited documents:

US3984819 (A)
 US4381542 (A)
 US4426679 (A)
 US4456956 (A)
 US4484263 (A)

Abstract of US 4942517 (A)

A toroidally-connected distributed-memory parallel computer having rows of processors, with each processor having an independent memory. The computer includes at least one common I/O channel adapted to be connected to a single row of processors by buffering mechanisms. Each buffering mechanism is associated with one processor of the single row of processors.



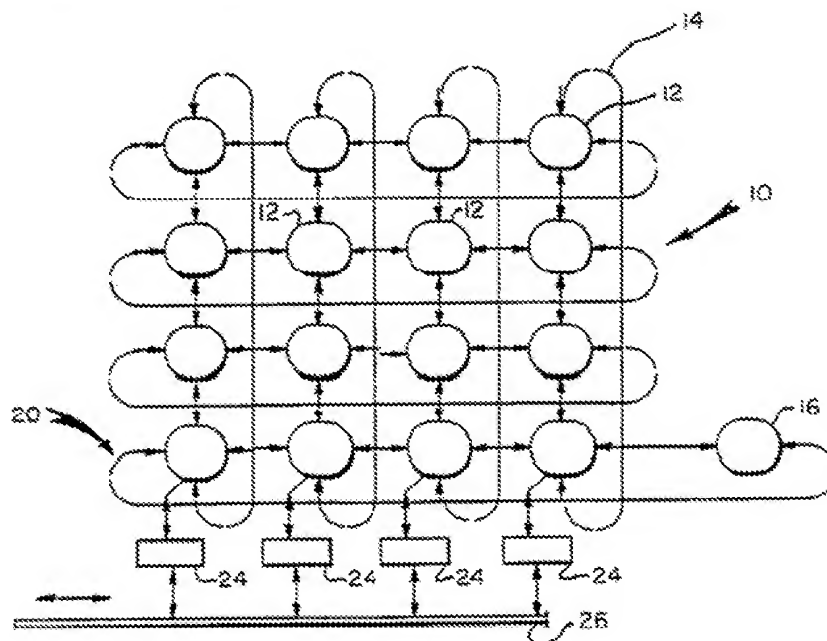
Data supplied from the *espacenet* database — Worldwide



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁴ : G06F 15/06, 15/16	AI	(11) International Publication Number: WO 89/ 03564 (43) International Publication Date: 20 April 1989 (20.04.89)
(21) International Application Number: PCT/US88/03340 (22) International Filing Date: 29 September 1988 (29.09.88) (31) Priority Application Number: 105,836 (32) Priority Date: 8 October 1987 (08.10.87) (33) Priority Country: US (71) Applicant: EASTMAN KODAK COMPANY [US/US]; 343 State Street, Rochester, NY 14650 (US). (72) Inventor: COK, Ronald, Steven ; 100 LeGran Road, Rochester, NY 14617 (US). (74) Agent: OWENS, Raymond, L.; 343 State Street, Ro- chester, NY 14650 (US). (81) Designated States: DE (European patent), FR (Euro- pean patent), GB (European patent), JP.		Published <i>With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>

(54) Title: ENHANCED INPUT/OUTPUT ARCHITECTURE FOR TOROIDALLY-CONNECTED DISTRIBUTED-MEMORY PARALLEL COMPUTERS



(57) Abstract

A toroidally-connected distributed-memory parallel computer having rows of processors (12), with each processor having an independent memory. The computer includes at least one common I/O channel (26) adapted to be connected to a single row of processors (20) by buffering (24) mechanisms. Each buffering mechanism is associated with one processor of the single row of processors.

◎日本国特許庁(JP)

◎特許出願公開

◎公表特許公報(A)

平3-500585

◎公表 平成3年(1991)2月7日

◎Int. Cl.*

識別記号

件内整理番号

審 査 請 求 未請求

予備審査請求 未請求

部門(区分) 6(3)

G 06 F 15/16
15/80

3 9 6 T

8065-5B
7036-5B

(全 6 頁)

◎発明の名称 トロイダル巻回された分布記憶装置並列計算機のための増強された入出力アーキテクチャ

◎特 許 第500585号

◎国際文出日 平1(1989)6月5日

◎発 出 願 第63(1988)9月29日

◎国 際 出 願 PCT/US88/03340

◎国際公開番号 WO89/02564

◎国際公開日 平1(1989)4月20日

◎発明の種別 ◎1987年10月4日独米条約(US)第105,228

◎発 明 者 コブク、ロナルド・スナイプ アメリカ合衆国ニューヨーク州14617、ロチェスター市 レグラ
ン・ロード 100◎出 願 人 イーストマン・コダック・カン アメリカ合衆国ニューヨーク州14650、ロチェスター市 スター
バニー ト・ストリート 245

◎代 理 人 弁護士 湯浅 敏三 外4名

◎特 定 国 DE(広域特許), FR(広域特許), GB(広域特許), JP

摘 要 の 要 約

の1/0行から記憶装置のデータを転送して該データを並列出力
力として送出する請求項2記載の計算機。1. 各々が独立した記憶装置を有する記憶装置の行を纏めたト
ロイダル巻回された分布記憶装置並列計算機において、

a) 少なくとも一つの共通1/0チャンネルと、

b) 前記共通の1/0チャンネルに接続されるようになされ
た記憶装置装置(1/0)の行と、c) 各々が前記1/0行の特定の記憶装置と接続した複数の
バッファ装置であって、各バッファ装置が、1/0行の特定の
行毎の1/0記憶装置がそのバッファ装置を、1/0チャンネ
ルによるバッファ装置へのアクセスとは無関係に与つた記1/
0行における他の記憶装置のバッファ装置へのアクセスとは無
関係に、アクセスすることができるよう、1/0チャンネル
に記憶装置を接続するようになされ、もってデータ分布が実効
に分散化される複数のバッファ装置と、
を具備することを特徴とする計算機。2. 各々が異なる1/0行をアクセスする二つの1/0チャン
ネルと、各1/0チャンネル及びその特定の1/0行とに、順
送する複数のバッファ装置とを有する請求項1記載の計算機。3. 各バッファ装置が二重ポート記憶装置を含む請求項1記載
の計算機。4. 各バッファ装置がキャッシュ型に71Pのバッファを含む請求
項1記載の計算機。5. 第1の1/0チャンネルが入力データを並列に受信して該
データをその1/0行に供給し、第2の1/0チャンネルがそ

特許平3-590565(3)

関連している関連の1/0バッファ機構を用いたこの発明に係るトロイダル接続された分岐伝送線型並列計算機を示す。

第3図は、相対的1/0チャンネルに接続された二つの1/0処理装置の行を含むこの発明に係るトロイダル接続された計算機を示す。

第4図は、この発明によって使用され、通常の記憶、演算及び記憶方法を使用する1/0バッファ機構を示す。

第5図は、この発明によって使用され、通常の二重ポート記憶装置を使用する際の1/0バッファ機構を示す。

第6図は、ハンドシェイク制御回路部と共に先入れ先出し(FIFO)バッファの前方両端ラッチを用いて、処理装置に連続的にデータ1/0ポートを接続するようになされた更に別の1/0バッファ機構を示す。

第7図は、通常の線路として実現された1/0チャンネルに一つの1/0行が接続されている。第3図に類似したこの発明の一面面図を示す。

第8図は、1/0行が逐次配列入力に接続され、別の1/0行が逐次配列出力に接続された、並列処理装置を有するこの発明の一実施例を示す。

発明を達成するための形態

この発明は、トロイダル接続された並列計算機で実現された入出力動作を行うためのアーキテクチャに關する。

第1図は通信チャンネル1と相互接続された多くの処理装置12、及び一つの行に挿入されたノード制御線10を備えた従来の並列の配列10を示している。各処理装置12は独立した記憶装置を

持っている。ノード制御線10はトロイダル接続線10の閉じた路へのエントリ・ポイントとして動く。配列の任意の行を1/0行として選択し得る。これらの行の数は、意図される特定の応用に依存する。

第2図は、この発明によって提供された特定の1/0行を示している。この処理装置の行10は1/0チャンネル部から直接にアクセスされる。1/0チャンネルは、大量のデータを迅速に転送し得る経路の経路である。典型的には、1/0チャンネルは第4図及び第5図に示された標準計算機回路又は並列1/0ポートである。1/0行は、記憶装置を用いたバッファ機構に直接に接続されている。各バッファ機構は、1/0チャンネルがバッファの任意の一つと直接に独立に接続することができるように、記憶・制御装置を提供する。

任意の特定の処理装置は、入出力サイクル又は出力サイクルを完了するためにその装置のバッファ機構と通信する。任意の処理装置は、他のバッファ機構との1/0チャンネル又は処理装置の移動とは無関係にその関連するバッファにアクセスすることができる必要がある。関連の処理装置の配列には、1/0チャンネルだけがバッファへアクセスでき、他の処理装置はそれ自身のバッファとのみ通信することができる。1/0チャンネル及び処理装置は同時に一つのバッファと通信しようとすることがあるので、それらの通信を調整するための装置が設けられなければならない。1/0チャンネル又は処理装置をバッファの主(master of the buffer)は決定することができる。従って適切な調整機構を備えなければならない。処理装置の一つの

データ集合を記憶している際に1/0チャンネルが別のデータ集合を記憶することができるようにバッファが大型に作られていれば、それも又可能であり得る。

任意の特定の応用に際する1/0チャンネルと各チャンネルにおける記憶装置との組合せは設計上の考慮事項である。第3図は、二つの行が1/0に接続して使用されている形態を示している。多数の行を同じ1/0チャンネルに接続することも又可能である。

第4図に示すと、仲裁・制御回路14及び記憶装置24を備えた機構24が示されている。この装置は記憶装置12又はチャンネル24から記憶装置24へのアクセスを可能にする。このような装置24はすでに知られており、記憶装置24のための標準ランダム・アクセス記憶装置(RAM)である。また、仲裁・制御回路24を実現する標準回路表示ノード及びデータ読み出し/書き込み信号と共に自然よく用いられている。記憶装置は回路24の読出し(master)であって、記憶装置へのデータの読み出し、書き込みをする。例えば、1/0チャンネル24が記憶装置24と通信することを望むときには、1/0チャンネルは必ず記憶装置に要求の信号を送る。そこで記憶装置は記憶装置24との通信を承認し、1/0チャンネルにデータを読み出すを送る。

第5図において、二重ポート記憶装置24は二重バッファ記憶装置(doubly-buffered memory)を提供する。二重バッファ記憶装置は、その二つのポートの接続(この場合には1/0チャンネル及び記憶装置)が同時に独立にアクセスすることのできる記憶装置である。これにより、第4図に示されたような特定の

の仲裁・制御回路の必要性をなくする。

第6図には、以下のように一時的に動作するラッチ/FIFOメモリバッファ24を含む別の機構24が示されている。データ転送の方向に依存して記憶装置又はポートによりデータがバッファ24に与えられる。FIFO(先入れ先出しバッファ)はデータ制御可能信号の受信時にデータをバッファへ送込む。データ制御信号の受信時に、FIFOはデータを奪い出す。ポート及び記憶装置は(上述のハンドシェイクの信号を用いて)直接通信することができるけれども、バッファが媒体になることで、FIFOは記憶装置又はポートが短時間の間隔で逐次データを転送することを可能にする。

この発明を構成する種々の要素は、モジュール状に配列し、仲裁装置はパイプライン型の動作を考へるように相互接続することができる。例えば、単一の制御回路を用いて、記憶装置の行及びそのバッファ・制御機構24を制御する関連のチャンネルを備えた1/0行を提供することができる。記憶装置を特定の制御配線路上に設けることもできる。第7図では、并列制御がモードが実装されている。第8図においては、種々の要素は、分布型及びパイプライン型の両モードにおいて使用される構成を考へるようになされる。この観点においては、二つの別個の1/0チャンネル制御機構が使用される。任意数の1/0ポートを物理上に配列し、記憶装置配列の一つの行として相互接続することができる。配列の任意の行は一つの1/0ポートと関連のチャンネルとを有することができる。

第7図に示、計算機10に結合された特定の形のチャンネル部

が示されている。表示装置32も計算機60に接続されている。この装置は、分析装置及びバイプライン型の処理モードに接続され、良好に作動した。両国アリストルのインテス社によって製造される「インモス・トランスビュータ (Inmos Transputer)」が処理装置として採用された。例題ノードも同じトランスビュータであった。図2はダイナミック・ランダム・アクセス記憶装置であった。1/0チャンネル38は正負電圧V_{DD}とV_{SS}とで実現された。採用されたホスト計算機は「サン1Bus」ワークステーションであった。すなわち、記憶装置/許可、読出し/書き込み、データ利用可能/要求及びアプリケーション等を別の装置または回路プロトコルによって通常の方式で達成された。

各記憶装置と関連した異なる記憶容量をそれぞれ持つ五つの種類の記憶装置が実現された。更に、これらの記憶装置の一つは、図2図に示すように四つの処理装置を備えた1/0行を具備した。これらの記憶装置は上記のように相互接続され、トロイダル配列を有する従来の行長及び列長を有した4個の処理装置から6個の処理装置に及ぶ例々の大きさの計算機を構成する。これらの計算機は、大量のデータ集合を処理する間、広帯域記憶装置に対する最大な通信上の遅延に達することなく、ワークステーション・ホスト (workstation host) の性能の70%程度の性能を示した。

この説明を併用すると、記憶装置配列の1/0構造を容易に拡張することができる。バイプライン型の応用に対しては、第5図に示されたように、一つの行における一つの1/0チャンネルはデータ入力として機能し、別の1/0チャンネルはデータ

特表平3-500525(4)

出力として機能することができる。そこで、データは右側で処理されて右流を流れる。より高速又はより低速のデータ・スループットが要求される場合には、配列（及び関連の1/0行）は、記憶装置の数一倍に倍増しながら、より広く又はより狭くされる。その代りに、記憶密度が変わる。1/0のスループット速度が一定に保たれる場合には、配列は処理装置の数1/0行 (cols = 1/0 rows) を除去し又は追加することによって、より高く又はより狭くすることができる。記憶装置の追加又は削除により、処理速度が変わるが、1/0ハードウェアは追加されない。これは、計算能力及び1/0スループットの両方に対して使用効率がよくフレキシブルな性能を与える。

上述のように、第5図は分析装置に対して同様に十分に使用される。異なる1/0チャンネルをデータ読及び/又は行先として使用し得る。

複数の1/0チャンネルを持つことにより、列並列能力が提供される。記憶装置配列全体はスイッチング回路網として動作することができる。データソース1/0チャンネルから読み込んで別の1/0チャンネルへ送ることができる。

図 2

この説明は、トロイダル接続された分析記憶装置列計算機のための改造された1/0性能を提供する。この説明は、記憶装置と1/0ハードウェアとの要件の間に使用効率よく両面を渡って、多命令・多データ (MIMD) 並列処理装置の革新的且つフレキシブルな表現を示す。この説明は記憶装置配列を利用する。配列をより広く又はより狭くして、より多くの又はよ

う少ない処理装置が1/0行上のデータを受け入れるようにする (バックアップハードウェアはこの用途に適応することができる) ことにより、データ速度を改善することができる。単純なトラス又はメッシュは、少なくとも一つの行又は列が各1/0行路に対してするようにして、多数の行又は列を用いることによって、経路の数のデータ1/0経路を持つことができる。上の考慮は、幾々の必要性をバイプライン型及び行布型の構造に対する大きな1/0の要件に合致させる際には、大きなアレキシビリティを有する。共通の行と関連したバックアップも、幾々の応用の要件を満たすために1/0行を拡張又は追加することによって大きさを増大させることができるデータ記憶装置のためのローカル・キャッシュ (local cache) として接続することができる。行に対して高速インターフェースを設けることによって、個々の記憶装置及びその相互接続部を比較的性能、信頼性の安定にすることができる。

更に、複数の1/0チャンネルが使用される場合には、記憶装置配列は単純なスイッチング回路網として動作することができる。

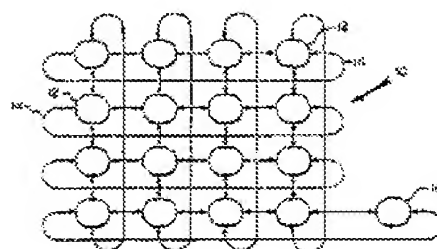


FIG. 1
(従来の例)

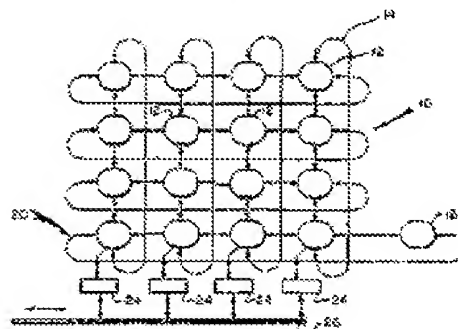
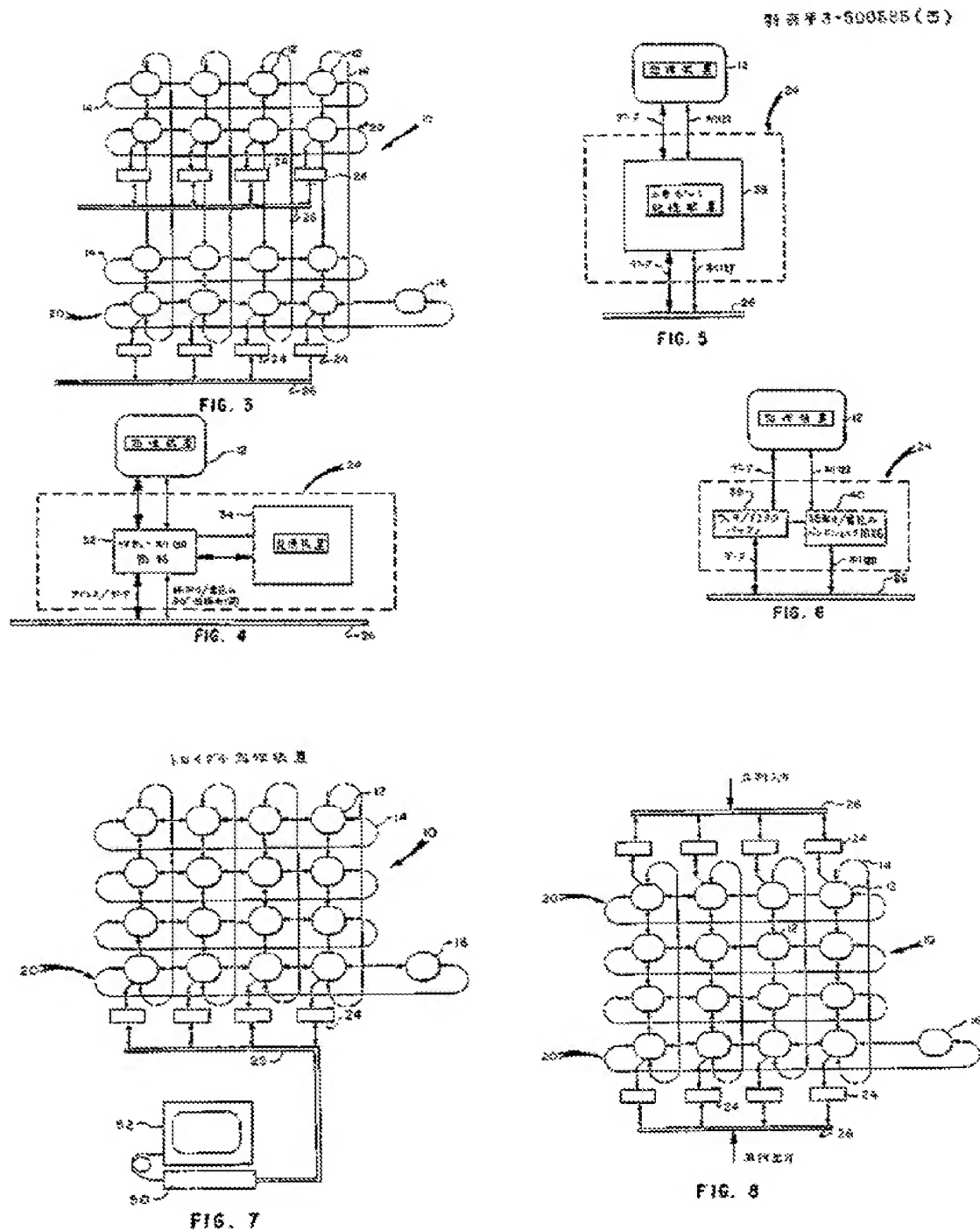


FIG. 2



特許第3-506525(B)

[illegible]

2	<p>U.S. 74 et al. r. "A new paradigm," published approximately in the Journal of the American Statistical Association, 1975, 1976 and page 107, column 1, lines 8-10; page 108, figure 3.2</p> <p>208 31st Annual International Symposium on Computer Architecture, Los Angeles, California, 5-7 June 1974, 1974, 1975, A. Ziegler et al. r. "The parallel variable computer", pages 27-30 and page 14, figure 1; page 12, column 1; page 18, column 1, lines 1-17, page 20, figure 2</p>	1-0
---	---	-----

Project Number Name of Mission/Project	Production Code	Serial (Date) Issuance/Date	Production Date
WFO-87-02556	65-04-07	87-1- E-4- 34-5-	65-09-05 02-02-64 4-25-67
			24-01-67 22-10-61 23-07-68